

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-338525

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

G02F 1/1365

G02B 5/20

G02F 1/1333

G02F 1/1335

G02F 1/1339

(21)Application number : 11-152137

(71)Applicant : TOSHIBA CORP

TOSHIBA ELECTRONIC ENGINEERING CORP

(22)Date of filing : 31.05.1999

(72)Inventor : UESONO SHIGEHIRO

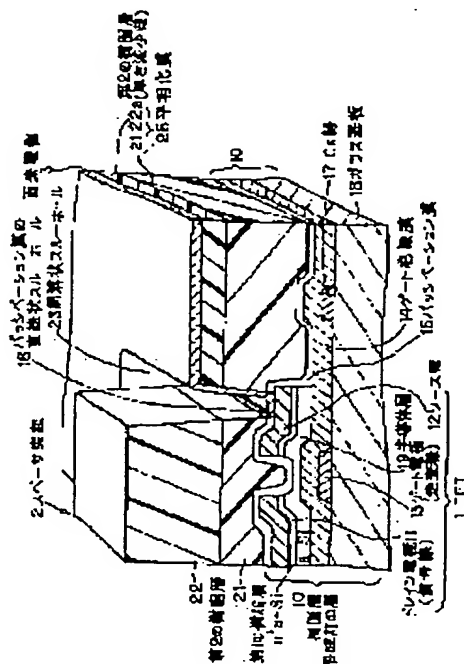
OMOTO NOBUSHIGE

(54) MATRIX ARRAY SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To make significantly decreaseable the number of production processes and the production cost, to make formable the columnar spacer with more uniform height of projections, and to make improvable the stability of the product quality, in a matrix array substrate equipped with a columnar spacer and a flattening film and in a production method of the substrate.

SOLUTION: After a TFT1 and a metal wiring pattern are formed, an acrylic resin 21, 22 is first made to have uniform height by coating. Then, a resist is formed on the region where the TFT1 is present, and subjected to reactive ion etching using a mixture gas of CF₄ gas and oxygen gas (with 10% volume concn. of CF₄). Under the aforementioned etching conditions, an etching-resistant deposit is formed except for the region near the spacer projection 2. Thereby, the thickness of the resin layer is reduced by etching to form a flattening film 25 in forming the spacer projection 2, and a through hole 23 as a surrounding groove is formed around the spacer projection.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-338525

(P2000-338525A)

(43) 公開日 平成12年12月8日 (2000. 12. 8)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0 2 H 0 4 8
G 0 2 B 5/20	1 0 1	G 0 2 B 5/20	1 0 1 2 H 0 8 9
G 0 2 F 1/1333	5 0 5	G 0 2 F 1/1333	5 0 5 2 H 0 9 0
1/1335	5 0 5	1/1335	5 0 5 2 H 0 9 1
1/1339	5 0 0	1/1339	5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-152137

(22) 出願日 平成11年5月31日 (1999. 5. 31)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72) 発明者 上園 重広

兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

(74) 代理人 100059225

弁理士 葛山 瑛子 (外1名)

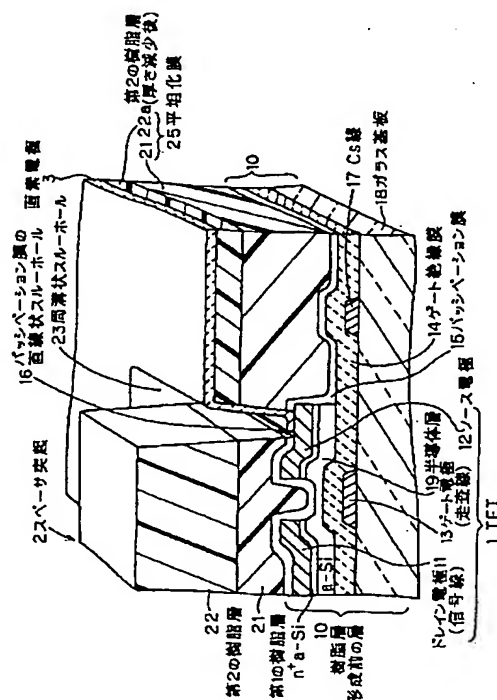
最終頁に続く

(54) 【発明の名称】 マトリクスアレイ基板及びその製造方法

(57) 【要約】

【課題】 柱状スペーサ及び平坦化膜を備えたマトリクスアレイ基板、及びその製造方法において、製造工程数及び製造コストを大幅に削減することができ、また、柱状スペーサの突起高さをより均一にでき、これにより製品の品質安定性を向上することができるものを提供する。

【解決手段】 TFT 1 及び金属配線パターンの形成後、まず、アクリル系樹脂 21、22 を均一な高さをなすようにコーティングする。次いで、TFT 1 の個所にレジストを形成して、CF₄ ガスと酸素ガスと混合ガス (CF₄ の体積濃度 10%) を用いて、反応性イオンエッチングを行う。このようなエッチング条件であると、スペーサ突起 2 に近接した個所を除いて、耐エッチング性の堆積物 5 が形成される。そのため、エッチングによりスペーサ突起 2 の形成と同時に、厚さが減じられて平坦化膜 25 が形成されるとともに、スペーサ突起の四周には周溝状のスルーホール 23 が形成される。



【特許請求の範囲】

【請求項1】画像表示領域にマトリクス状に配列される複数の画素電極と、この画素電極ごとに配置されるスイッチング素子と、このスイッチング素子を介して画素電極に映像信号を供給するための複数の信号線と、この信号線に略直交するように配列され、スイッチング素子のスイッチング動作を駆動する複数の走査線と、少なくとも前記画素電極と前記スイッチング素子との間に配される平坦化膜と、スペーサ突起とを備えた、平面表示装置用のマトリクスアレイ基板において、

前記スペーサ突起は前記平坦化膜と同一のコーティング層または堆積層を含み、

前記スイッチング素子と前記画素電極とを電気的に接続するための、前記平坦化膜のスルーホールと、前記スペーサ突起とが同一工程で作成されることを特徴とするマトリクスアレイ基板。

【請求項2】画像表示領域にマトリクス状に配列される複数の画素電極と、この画素電極ごとに配置されるスイッチング素子と、このスイッチング素子を介して画素電極に映像信号を供給するための複数の信号線と、この信号線に略直交するように配列され、スイッチング素子のスイッチング動作を駆動する複数の走査線と、少なくとも前記画素電極と前記スイッチング素子との間に配される平坦化膜と、スペーサ突起とを備えた、平面表示装置用のマトリクスアレイ基板において、

前記スペーサ突起を囲む個所に、前記平坦化膜を貫通する溝状スルーホールが形成され、この溝状スルーホールを介して前記スイッチング素子と前記画素電極とが電気的に接続されることを特徴とするマトリクスアレイ基板。

【請求項3】前記平坦化膜は、着色層とこれを覆う非着色層とを含むことを特徴とする請求項1または2記載のマトリクスアレイ基板。

【請求項4】複数の走査線、これに略直交する複数の信号線、及び、これらの各交点近傍に配置されるスイッチング素子を形成するための一連の工程と、少なくともこのスイッチング素子を覆うように、平坦化膜をなす層をコーティングまたは堆積により形成する工程と、

前記スイッチング素子の端子部上に、前記平坦膜のスルーホールをエッチングにより形成する工程と、画像表示領域にマトリクス状に配列され、前記スルーホールを介して前記スイッチング素子と電気的に接続される画素電極を形成する工程と、

を含むマトリクスアレイ基板の製造方法において、前記スルーホールをエッチングにより形成する工程において、同時に、前記平坦化膜をなす層を含む層からスペーサ突起が形成されることを特徴とするマトリクスアレイ基板の製造方法。

【請求項5】前記平坦膜がアクリル系樹脂からなり、

前記エッチングが、酸素ガス、または、 CF_4 濃度が25体積%以下の、 CF_4 と酸素との混合ガスを用いるドライエッチングであることを特徴とする請求項4記載のマトリクスアレイ基板の製造方法。

【請求項6】前記平坦化膜をなす層を形成する工程は、さらに、第1の樹脂層をコーティングにより形成する工程と、この第1の樹脂層を染色して着色パターンを形成する工程と、この上に第2の樹脂層をコーティングにより形成する工程とからなることを特徴とする請求項4記載のマトリクスアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられるマトリクスアレイ基板及びその製造方法に関する。特には、柱状のスペーサ突起、及び平坦化膜を備えたマトリクスアレイ基板に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力、目の疲れの少なさ等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置されたアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン（以下、 $a-Si:H$ と略称する。）等の半導体薄膜を用いた薄膜トランジスタ（以下、TFTと略称する。）が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置されている。

【0005】ここで、カラー表示を実現するのであれば、カラーフィルタ層が対向基板またはアレイ基板上にあって少なくとも画素電極に対応する個所に配置される。また、両基板の間には、これら基板の間の間隔を一定にするための多数のスペーサが配置される。

【0006】スペーサとしては、樹脂やシリカからなる直径が均一な球を、いずれかの基板に予め散布しておくのが最も一般的であった。しかし、このように非固定型で散布式のスペーサ（球状スペーサ）であると、スペーサの移動による配向膜へのダメージや、スペーサからの光漏れによる表示品位の低下などの問題を抱えていた。

【0007】そのため、最近、固定型の柱状のスペーサが用いられるようになっている。この柱状のスペーサ

は、(1)平坦化膜を形成した上、または、着色パターン層をフォトリソグラフィーにより形成した上に、コーティング等により厚い樹脂層を設け、さらにフォトリソグラフィーにより特定の個所のみ残す方法、または、(2)顔料を含む樹脂層のコーティング、及びフォトリソグラフィーによるパターンニングを3回繰り返して、レッド、ブルー及びグリーンの着色パターン層をそれぞれ形成するとともに、これら着色パターン層を特定の個所で重ね合わせる方法が用いられていた。

【0008】

【発明が解決しようとする課題】しかし、柱状のスペースを作成するにあたり、このように、フォトリソグラフィーによるパターンニングを繰り返して樹脂層を重ねる方式では、柱状スペースの突起高さを十分に制御することが困難であった。また、コーティング工程やパターンニング工程を繰り返す必要があるため、マトリクスアレイ基板の製造コストの低減、及び、製造工程の信頼性の向上を図ることが困難であった。

【0009】本発明は上記問題点を鑑みなされたものであり、柱状スペース及び平坦化膜を備えたマトリクスアレイ基板、及びその製造方法において、製造工程数及び製造コストを大幅に削減することができ、また、柱状スペースの突起高さをより均一にでき、これにより製品の品質安定性を向上することができるものを提供するものである。

【0010】

【課題を解決するための手段】本発明の請求項1の発明は、画像表示領域にマトリクス状に配列される複数の画素電極と、この画素電極ごとに配置されるスイッチング素子と、このスイッチング素子を介して画素電極に映像信号を供給するための複数の信号線と、この信号線に略直交するように配列され、スイッチング素子のスイッチング動作を駆動する複数の走査線と、少なくとも前記画素電極の個所に配置される平坦化膜と、スペース突起とを備えた、平面表示装置用のマトリクスアレイ基板において、前記スペース突起は前記平坦化膜と同一のコーティング層または堆積層を含み、前記スイッチング素子と前記画素電極とを電気的に接続するための、前記平坦化膜のスルーホールと、前記スペース突起とが同一工程で作成されることを特徴とする。

【0011】上記構成により、製造工程数及び製造コストを大幅に削減することができる。しかも、柱状スペースの突起高さをより均一にでき、これにより製品の品質安定性を向上することができる。

【0012】

【発明の実施の形態】本発明の実施例について図1～5を用いて説明する。

【0013】まず、図1～2を用いて、実施例のマトリクスアレイ基板の構造について説明する。

【0014】アレイ基板3においては、ガラス基板18

上に、上層の金属配線パターンからなる2400本の信号線11と、下層の金属配線パターンからなる600本の走査線13とが絶縁膜14（ゲート絶縁膜）を介して格子状に配置され、格子の各マス目に相当する領域に透明導電膜として例えばITO(Indium-Tin-Oxide)からなる画素電極3が配される。そして、この格子の各マス目における一の角部には、各画素電極を制御するスイッチング素子としてTFT1が配置される。TFT1のゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極に電気的に接続されている。

【0015】図示の例で、TFT1はバックチャネルカット型であり、TFT1の半導体層19は、アモルファスシリコン層の上層部分がリンドープされたものである。また、下層の金属配線パターン中において、隣り合う二つの走査線の間にはこれら走査線に略平行に延びる補助容量線17（Cs線）がそれぞれ配置されている。

【0016】図1に示すように、TFT1の個所を除き、ガラス基板18から上面までの高さが一様な、単一の平坦化膜25が配置される。平坦化膜25は、着色された第1の樹脂層21（カラーフィルター層）と、これを覆う無色透明の第2の樹脂層（保護膜）とからなり、第1の樹脂層21は、所定領域ごとに、レッド、ブルー及びグリーンの染料により着色されて着色パターン（カラーフィルター）をなしている。

【0017】一方、図1に示すように、TFT1の個所には、平坦化膜25と同一材料にて同一の工程により作成される柱状のスペース突起が配置されている。スペース突起は、平坦化膜25と同じく第1の樹脂層21と第2の樹脂層とからなり、スペース突起における第1の樹脂層21の上面の高さは、平坦化膜25のそれと全く同一である。したがって、スペース突起と平坦化膜25とは、第2の樹脂層の厚さが大きく異なる。

【0018】スペース突起と平坦化膜25の領域との境界の個所、すなわち、スペース突起を四周から囲む個所には、第1及び第2の樹脂層を貫く周溝状（環壕状）のスルーホールが設けられている。

【0019】なお、図1に示すように、第1の樹脂層21に覆われる領域の全体には、バッシベーション膜15が配置されており、周溝状のスルーホール23がソース電極12上を横切る個所には、予め、ソース電極12上面を露出させるスルーホールが設けられている。すなわち、ソース電極12上には、第1及び第2の樹脂層21、22とバッシベーション膜15とを貫く、直線溝状のスルーホール16が形成されている。

【0020】画素電極3は、図1に示すように、平坦化膜25の上面に形成され、直線溝状のスルーホール16の内面を覆う部分により、ソース電極12の上面に直接接続されて、電気的に導通している。また、図2に示すように、各画素電極3は、これを囲む二つの走査線及び

二つの信号線とオーバーラップするように配置され、これらとの間で光漏れは生じない。すなわち、平坦化膜 25 上に画素電極 3 を配置する方式であるため、画素電極 3 を囲むブラックマトリクスを配置する必要がなく、開口率を高く保つことができる。

【0021】次に、図 2～5、及び図 1 を用いて、製造方法の要部について説明する。

【0022】(1) 予め、走査線、信号線、及び TFT1 を含むパターンを作成し、これらを覆う、窒化シリコン膜等の無機絶縁膜から成るパッシベーション膜 15 を堆積し、また、ソース電極 12 上にパッシベーション膜 15 を貫くスルーホール 16 を形成しておく。

【0023】(2) まず、パッシベーション膜 15 上に、第 1 の一様な樹脂層 21 をコーティングにより形成し、続いて、この樹脂層 21 を染色して着色パターンを形成する。詳しくは、まず、感光剤を含むアクリル系共重合樹脂をスピナーにより約 $1\mu\text{m}$ 塗布する。その後、例えば、インクジェット描画方式により、所定領域ごとにレッド (R)、グリーン (G)、及びブルー (B) の各色の染料が吐出されて、3 色に塗り分けられた着色パターンが形成される。

【0024】(3) 次いで、第 2 の樹脂層 22 を形成すべく、感光剤を含むアクリル樹脂 (JSR 社製オプトマ... SS6699G) を、スピナーにより乾燥・硬化後の膜厚が約 $5\mu\text{m}$ となるよう均一に塗布し、光照射により硬化する。そして、安定のために熱を加えてアニール処理を行う。

【0025】(4) この第 2 の樹脂層 22 の上に、レジスト 4 (東京応化工業 (株) 製 OFPR5000) をスピナーにより数 μm 塗布し、TFT1 の個所すなわちスペース突起 2 を形成する個所にのみ残すようにパターンニングを行った。このパターンニングの後の状態を図 3 に示す。

【0026】(5) このように得られた樹脂層 21、22 に対して、反応性イオンエッチング装置 (RIE 装置、ULVAC 社製 CSE-1210) によりドライエッチングを行った。この際、エッチング室に導入するガスとしては、 CF_4 ガスと酸素ガスとの導入流量 (sccm) の比を 4:5 に設定して得られる混合ガス (CF_4 の体積濃度 10%) を用いた。

【0027】図 4 には、エッチング開始直後の状態を示す。

【0028】第 2 の樹脂層 22 の成分とエッチングガス (CF_4 と酸素との混合ガス) との反応により、このエッチング剤に対して耐エッチング性をもつレジスト性堆積物 5 が樹脂層の上に形成される。このため、このレジスト性堆積物 5 が堆積されるにつれて、エッチングの速度は減少する。一方、エッチングの際にレジスト 4 の上面も若干ながらエッチングを受け、特に、図中に示すようにレジスト 4 のエッジの上部の角がとれる。このレジ

スト 4 に由来する成分の作用その他の作用により、レジスト 4 に近接した個所では、樹脂層 22 上面にレジスト性堆積物 5 が形成されない。したがって、樹脂層 22 のエッチングは、レジスト 4 に近接した個所において、その他の個所に比べて速く進行し、図 4 中に示すように、周溝 23a が形成されていくこととなる。

【0029】このような周溝 23a が形成されるためには、例えば、酸素ガス、または、 CF_4 ガスの体積濃度が 25% 以下の、 CF_4 と酸素との混合ガスを用いることが望ましい。 CF_4 ガスの体積濃度が 25% を越えると、レジスト性堆積物 5 が形成されづらく、必要なエッチング選択性 (エッチング速度比) が得にくい。エッチングのための混合ガスにおける CF_4 ガスの体積濃度は、好ましくは 5~15% である。

【0030】図 5 には、エッチング終了時の状態を示す。

【0031】図に示すように、スペース突起 2 の四周には、第 1 及び第 2 の樹脂層を貫く、周溝状のスルーホールが形成され、スペース突起近傍以外では、第 2 の樹脂層の厚さが減じられて、均一な高さの平坦化膜 25 が形成される。エッチング終了後、薬液を用いて、あるいは他のエッチングガスを用いてレジスト 4、及び、レジスト性堆積物 5 が除去される。

【0032】(6) 最後に、画素電極を形成する体積及びパターンニングの工程が行われる。このようにして、図 1~2 に示すマトリクスアレイ基板が完成する。

【0033】以上に説明した実施例によると、単一のパターンニング工程により、すなわち、レジスト層塗布→リソグラフィ→現像→エッチング→レジスト除去の 1 サイクルの工程により、柱状のスペース突起 2 と、溝状スルーホール 23 と、これらの個所以外の略全体にわたる平坦化膜 25 とを、同時に形成することができる。したがって、製造工程数を大幅に削減でき、製造コストを著しく削減することができる。また、柱状のスペース突起 2 の厚さを、一つの樹脂コーティングのみで決めることができるため、柱状スペースの高さを均一にすることができ、製造されるマトリクスアレイ基板の品質安定性を向上することができる。

【0034】以上の実施例においては、平坦化膜 25 を構成する第 1 の樹脂層 21 が着色パターンの層をなすものとして説明したが、マトリクスアレイ基板上に着色パターンを設けない場合にもほぼ同様の効果を得ることができる。

【0035】

【発明の効果】柱状スペース及び平坦化膜を備えたマトリクスアレイ基板、及びその製造方法において、製造工程数及び製造コストを大幅に削減することができる。しかも、柱状スペースの突起高さをより均一にでき、これにより製品の品質安定性を向上することができる。

【図面の簡単な説明】

【図1】実施例のマトリクスアレイ基板の積層構造を模式的に示す部分縦断面図である。図2のX-X'の箇所の切断面である。

【図2】実施例のマトリクスアレイ基板の画素部分の配線構造を模式的に示す部分平面図である。

【図3】平坦化膜及び柱状のスペーサ突起を設けるための一様な樹脂層の上にレジストパターンが配置された様子を示す、図1に対応する部分縦断面図である。

【図4】エッチング開始直後の様子を示す、図1及び図3に対応する部分縦断面図である。

【図5】エッチング終了直後の様子を示す、図1及び図3に対応する部分縦断面図である。

【符号の説明】

* 1 TFT

10 樹脂層形成前の積層構造

12 ソース電極

15 パッシベーション膜

16 パッシベーション膜のスルーホール

2 スペーサ突起

21 第1の樹脂層（カラーフィルタ層）

22 第2の樹脂層（保護膜）

22a エッチングにより厚さが減少した後の第2の樹脂層

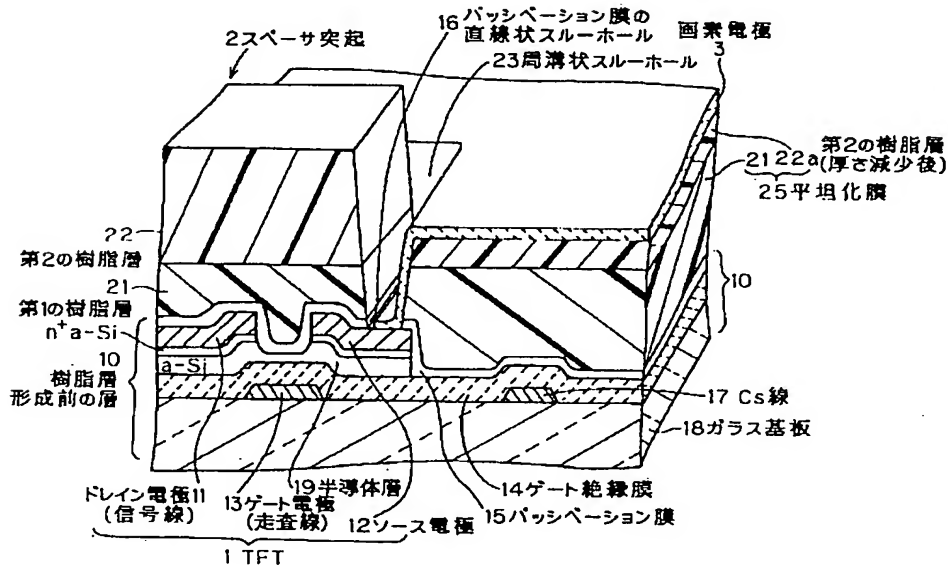
10 樹脂層

23 周溝状スルーホール

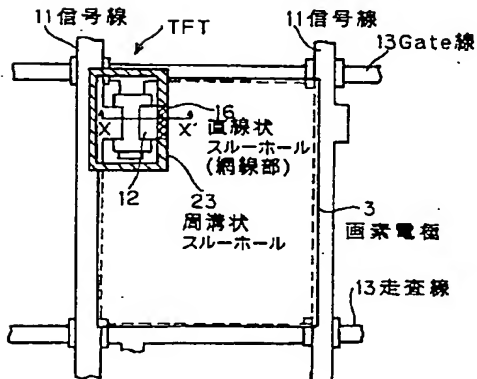
25 平坦化膜

* 3 画素電極

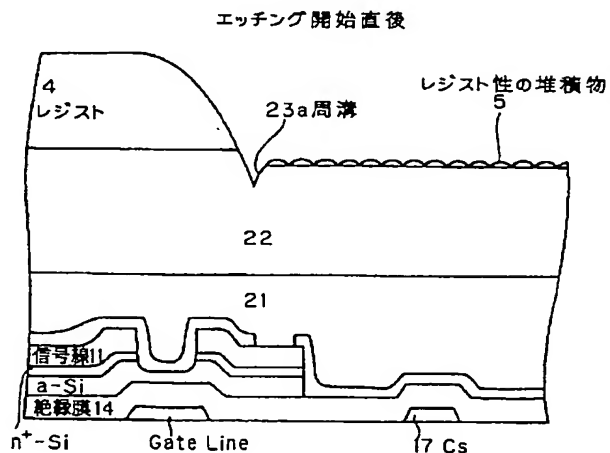
【図1】



【図2】

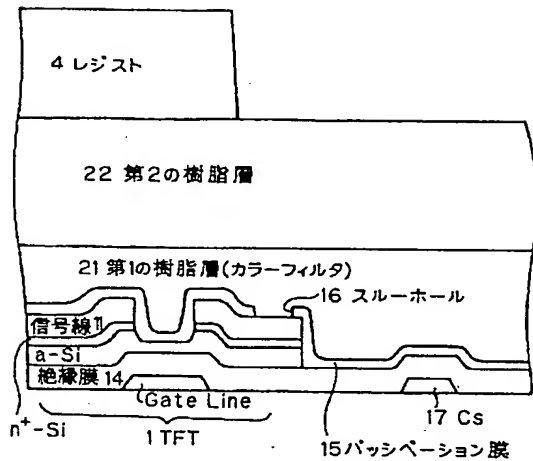


【図4】



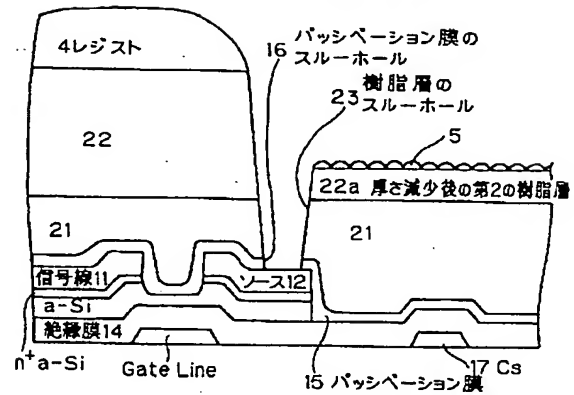
【図3】

エッチング前



【図5】

エッチング終了後



フロントページの続き

(72)発明者 大本 信繁
 神奈川県川崎市川崎区日進町7番地1 東
 芝電子エンジニアリング株式会社内

ドキュメント(参考) 2H048 PA64 BB02 BB03 BB28 BB42
 2H089 LA09 NA14 NA15 NA17 NA24
 PA05 QA12 QA14 TA09 TA12
 2H090 HA03 HB07X HC05 HC12
 HC19 HD03 LA02 LA04 LA15
 2H091 FA02Y FB04 FC05 FC23
 FC26 FIX04 GA07 GA08 GA13
 GA16 LA12 LA15 LA20
 2H092 JA24 JA46 JB57 JB58 KA05
 KB26 MA10 MA19 MA37 NA19
 NA27 PA03 PA08